

明 細 書

データ処理装置

技術分野

[0001] 本発明は、再構成可能なデータ処理装置に関する。

背景技術

[0002] 近年、DSP (Digital Signal Processor) 並の柔軟性 (プログラマビリティ) と ASIC (Application Specific Integrated) 並の高速・並列処理を実現する再構成可能なデータ処理装置が望まれている。

[0003] これに対し、FPGA (Field Programmable Gate Array) により再構成可能なデータバスを実現すると、FPGA は任意の論理関数を実現するために 1 ビットごとに再構成可能な演算器を備える必要があることから、再構成のために必要なデータ (コンフィギュレーションデータ) のデータ量が多く、再構成に長い時間がかかり、回路の動作速度も遅くなってしまう。

[0004] そこで、ALU (Arithmetic and Logic Unit) をマトリクス状に配列したアレイ型プロセッサにより再構成可能なデータバスを実現することが考えられている。アレイ型プロセッサでは、データは 4 ビット、8 ビット、16 ビット、32 ビットなどのバス単位で扱われるため、FPGA にて実現する場合に比べて処理が高速で、ALU のコンフィギュレーションデータも少なくすむという利点がある。

[0005] しかし、多くのアプリケーションは、ALU 向きの処理だけでなく、ビット単位の処理を必要とする部分を含むため、このようなアプリケーションをアレイ型プロセッサ上に実装した場合、ビット処理部分がボトルネックとなり処理速度の低下や必要リソース (ALU 数) の増大を招く。

[0006] そこで、この問題を解決するためには、ALU 処理部とビット処理部を組み合わせる用いることが有効であると考えられる。

[0007] 従来の ALU 処理部とビット処理部を組み合わせたデータ処理装置として、(1) バス化されたサブアレイとバス化されていないサブアレイを接続する構造 (例えば、特許文献 1)、あるいは、(2) アレイ型プロセッサの全ての構成要素 (プロセッサエレメント、

セル)に処理ビット数が異なる複数の演算器を持たせ、または、複数の演算器に合わせて複数種類のビット幅を持つバスを持つ構造(例えば、特許文献2)が提案されている。

特許文献1:特表2002-544700号公報

特許文献2:特開2003-076668号公報

発明の開示

発明が解決しようとする課題

- [0008] しかしながら、従来の(1)の構造では、2つのサブアレイ間の通信がボトルネックとなり、全体の性能は低下してしまうという問題がある。
- [0009] また、従来の(2)の構造では、複数種類のビット幅を持つバスをそれぞれ備えるため配線が増大しバスの利用率が低くなる、プロセッサエレメント内の演算器の利用率が低くなる、複数の演算器を設定してビット幅変換の処理も行う必要があるため必要なコンフィギュレーションデータ量が増大してしまうという問題がある。
- [0010] 本発明の目的は、ALU処理とビット処理とをそれぞれ効率よく実行し、高速・並列処理を実現することができる再構成可能なデータバスを備えるデータ処理装置を提供することである。

課題を解決するための手段

- [0011] 本発明のデータ処理装置は、 n ビット(n は自然数)の入出力ポートを有しALU処理を行う複数の第1セルと、 n ビットの入出力ポートを有しビット処理を行う1又は複数の第2セルと、前記各セルを n ビットバスのネットワークで接続する構成を採る。

発明の効果

- [0012] 本発明によれば、ビット処理を行う1つのセルで複数種類のビットの演算を行うことができ、ALU処理とビット処理とをそれぞれ効率よく実行し、高速・並列処理を実現することができる。この結果、セル内部の構造とネットワークを単純化し、必要なコンフィギュレーションデータ量を小さくすることができるので、面積が小さく、高速に動作する再構成可能なデータバスを実現することができる。

図面の簡単な説明

[0013] [図1]本発明の一実施の形態に係るデータ処理装置のセルの配置構成の例を示す図

[図2]上記実施の形態に係るデータ処理装置のAセルの内部の論理回路を示す図

[図3]上記実施の形態に係るデータ処理装置のBセルの内部の論理回路を示す図

[図4]畳み込み符号化回路の回路構成を示す図

[図5]図1のデータ処理装置にて図4に示す畳み込み符号化回路を構成する場合の回路構成を示す図

[図6]図1のデータ処理装置にて図4に示す畳み込み符号化回路を構成する場合の回路構成を示す図

[図7]図5及び図6におけるB1セルの内部の論理回路を示す図

[図8]図5におけるB2セルの内部の論理回路を示す図

[図9]図5におけるB3セルの内部の論理回路を示す図

[図10]CRC演算回路の回路構成を示す図

[図11]図1のデータ処理装置にて図10に示すCRC演算回路を構成する場合の回路構成を示す図

[図12]図1のデータ処理装置にて図10に示すCRC演算回路を構成する場合の回路構成を示す図

[図13]図11におけるB1セルの内部の論理回路を示す図

[図14]図11におけるB2セルの内部の論理回路を示す図

[図15]図11におけるB3セルの内部の論理回路を示す図

[図16]図11におけるB4セルの内部の論理回路を示す図

[図17]上記実施の形態に係るデータ処理装置のAセルの内部の論理回路を示す図

[図18]上記実施の形態に係るデータ処理装置のBセルの内部の論理回路を示す図

発明を実施するための最良の形態

[0014] 本発明の骨子は、ALU処理を行うセルとビット処理を行うセルを多数配置し、各セルはnビットの入出力ポートを有し、それぞれのセルをnビットバスのネットワークで接続し、さらに、ビット処理を行うセルにおいて、出力ビット数がnよりも少ない場合、出力に関係無い階位のビットを「0」または「1」に固定することである。

[0015] 以下、本発明の実施の形態について図面を参照して詳細に説明する。

[0016] (実施の形態)

本実施の形態では、図1に示すようにALU処理を行うAセル100とビット処理を行うBセル150を3:1の割合で配列してデータ処理装置を構成する。また、図1において、Aセル100とBセル150はともに4ビットの入出力ポートを有し、バス幅は4ビットとする。

[0017] Aセル100は、図2に示すようにセレクトタ201と、ALU202と、レジスタファイル203と、バススイッチ204、205とから構成される。なお、Aセル100は、図示しないコンフィギュレーションメモリに、セル内の回路要素を制御するためのコンフィギュレーション情報、すなわち、ALU202が実行する命令、セレクトタ201の接続方法、バススイッチ204、205の接続方法を示す情報を保持する。コンフィギュレーションメモリの内容を書き換えることによって、セルの機能とセル間のネットワークを再構成することができる。

[0018] セレクトタ201は、コンフィギュレーション情報に従い、バスからの入力またはレジスタファイル203に保持された値から、ALU202へ入力する2つの値を選択する。ALU202は、2つの入力データに対して、加算、減算、論理和、論理積、排他的論理和、1ビットシフトのうちコンフィギュレーション情報により指定された演算を行う。レジスタファイル203は、ALU202の演算結果を保持する。バススイッチ204、205は、ALU202およびレジスタファイル203からの出力をコンフィギュレーション情報に従い転送する。

[0019] Bセル150は、図3に示すように論理回路301と、セレクトタ302と、ビットマスク回路303と、バススイッチ304、305とから構成される。なお、Bセル150は、図示しないコンフィギュレーションメモリに、セル内の回路要素を制御するためのコンフィギュレーション情報、すなわち、論理回路が実行する論理関数、セレクトタの接続方法、バススイッチの接続方法、ビットマスク回路で使用するマスクの値を示す情報を保持する。

[0020] 論理回路301は、4入力1出力の再構成可能な回路であって、コンフィギュレーション情報によって指定された論理演算を行う。セレクトタ302は、コンフィギュレーション情報に従い、ビットマスク回路303への入力を選択する。ビットマスク回路303は、コ

ンフィギュレーション情報に従い、マスク値とAND演算またはOR演算を行うことにより、出力の特定のビットを「0」または「1」に固定する。バススイッチ304、305は、ビットマスク回路からの出力をコンフィギュレーション情報に従い転送する。

[0021] 以下、第1の例として、図4に示す畳み込み符号化回路を、図1のデータ処理装置にて構成する場合(図5、図6)について説明する。なお、図6は、図5と等価な回路を図1のアレイ上にマッピングした図である。

[0022] 図5において、回路501は図4の平行ル-シリアル変換回路401を実現し、回路502は図4の8ビットシフトレジスタ402を実現し、回路503、504はそれぞれ図4の8ビット入力パリティツリー403を実現する。

[0023] また、図5において、4ビットの平行ルデータが4クロックに一度入力(input)され、4ビットバスのうち下位2ビットに符号化されたデータが出力(output)される。

[0024] 図7、8、9は、図5におけるB1セル151、B2セル152、B3セル153の内部で実行される演算を示す図である。図7のB1セル151は、論理回路301により4ビット入力パリティ計算を行い、さらに4ビットに分配された信号に対しビットマスク回路303にて「0001」とAND演算を行うことにより、演算結果1ビットを最下位ビットに出力し、他のビットに「0」を出力する。図8のB2セル152は、論理回路301により4ビット入力パリティ計算を行い、さらに4ビットに分配された信号に対しビットマスク回路303にて「0010」とAND演算を行うことにより、演算結果1ビットを第2位ビットに出力し、他のビットに「0」を出力する。図9のB3セル153は、論理回路301により入力の最上位ビットを取り出して4ビットに分配したのち、ビットマスク回路303にて「0011」とAND演算を行うことにより、入力の最上位ビットと同じ値を最下位ビット及び第2位ビットに出力し、他のビットに「0」を出力する。

[0025] ここで、B1セル151と同様の機能をAセル100で実現するためには5個のAセル100が必要となる。また、B2セル152と同様の機能をAセル100で実現するためには5個のAセル100が必要となる。また、B3セル153と同様の機能をAセル100で実現するためには2個のAセル100が必要となる。

[0026] また、上記従来の(1)の構造で畳み込み符号化回路を実装すると、構造化アレイ(バス化アレイ)と非構造化アレイ(ビット処理アレイ)とのアレイ間の通信が多くなるため

、これら2つのアレイをうまく連携させて使うことが難しく、結局、非構造化アレイ上にすべての回路をマッピングすることになってしまうと考えられる。この結果、コンフィギュレーションデータ量が多く、回路の動作可能速度が遅くなってしまい、FPGAに対する利点がなくなってしまう。

[0027] また、上記従来の(2)の構造で畳み込み符号化回路を実装した場合、本発明と同等のセル数(プロセッサエレメント数)が必要となり、本発明と比較して各セルが複雑になり、2種類のバスを持つため配線量が多くなり、面積が大きく、コンフィギュレーションデータ量が多くなってしまう。

[0028] このように、本発明のデータ処理回路は、ALU処理を行うセルとビット処理を行うセルを多数配置し、各セルはnビットの入出力ポートを有し、それぞれのセルをnビットバスのネットワークで接続する。

[0029] これにより、ビット処理を行う1つのセルで複数種類のビットの演算を行うことができ、ALU処理とビット処理とをそれぞれ効率よく実行し、高速・並列処理を実現することができ、少ないセル数で畳み込み符号化回路を実現することができる。また、nビットで統一されたネットワークを使うことができるため、配線を少なくすることができ、セル内部の構造とネットワークを単純化し、面積を小さくし、必要なコンフィギュレーションデータ量を小さくすることができる。

[0030] さらに、ビット処理セル、ALU処理セルを分散して配置することにより、通信を分散させることができ、グローバルな配線を少なくすることができる。

[0031] 次に、第2の例として、図10に示すCRC演算回路を、図1のデータ処理装置にて構成する場合(図11、図12)について説明する。なお、図12は、図11と等価な回路を図1のアレイ上にマッピングした図である。ここで、回路1104の3つのAセル100と同等の機能を3つのBセル150(B2セル152、B3セル153、B4セル154)で実現することにより図1のアレイ上へのマッピングを実現している。

[0032] 図11において、回路1101は図10の平行ル-シリアル変換回路1001を実現し、回路1102は図10の24ビットシフトレジスタから成るCRC演算回路1002を実現し、回路1103は生成多項式を作る回路1003を実現する。なお、B2セル152、B3セル153、B4セル154には生成多項式のビット表現がマスクとして保持されており、回路

1103は、シフトレジスタの最上位ビットが「1」のとき生成多項式を出力し、最上位ビットが「0」のとき「0」を出力する。

- [0033] 図13、14、15、16は、図11におけるB1セル151、B2セル152、B3セル153、B4セル154の内部で実行される演算を示す図である。図13のB1セル151は、入力 of 最上位ビットを取り出して各階位のビットに出力する。図14のB2セル152は、最下位ビット、第2位ビットの入力をそのまま出力し、他のビットに「0」を出力する。図15のB3セル153は、第2位ビット、第3位ビットの入力をそのまま出力し、他のビットに「0」を出力する。図16のB4セル154は、最下位ビット、第2位ビット、第3位ビットの入力をそのまま出力し、最上位ビットに「0」を出力する。
- [0034] なお、B2セル152、B3セル153、B4セル154は、定数とのANDであるのでAセル100でも実現可能である。
- [0035] なお、本実施の形態では、Aセル100、Bセル150を格子状に配列する場合について説明したが、本願発明はセルの配置状態については限定がなく、木構造等、規則的に配列されていればよい。
- [0036] また、本願発明は、図17に示すように、1つのAセル100内ALUのキャリーアウトと他の1つのAセル100内ALUのキャリーインを接続することができる。これにより、 n ビット以上の演算を実行可能とすることができる。
- [0037] また、本願発明は、Bセル150の論理回路301を1ビット増やして $n+1$ ビット入力1ビット出力の任意の論理関数を実現する回路とし、図18に示すように、1つのAセル100内ALUのキャリーアウトをBセル150の入力とし、Bセル150の論理回路301の出力を他のAセル100内キャリーインに接続することができる。この結果、Bセル150の論理回路301において増えた1ビットの部分にはAセル100のキャリーアウトが入力される。これにより、図17のAセル100と整合性が良くなり、ネットワークポロジ(形状)の均一性が保たれる。
- [0038] また、本願発明は、Bセル150において、論理関数をルックアップテーブルにより実現することができる。
- [0039] 本明細書は、2003年10月17日出願の特願2003-357994に基づく。この内容はここに全て含めておく。

産業上の利用可能性

[0040] 本発明は、バス化されたALU処理部とビット処理部を組み合わせ、再構成可能なデータバスを備えるデータ処理装置に用いるに好適である。

請求の範囲

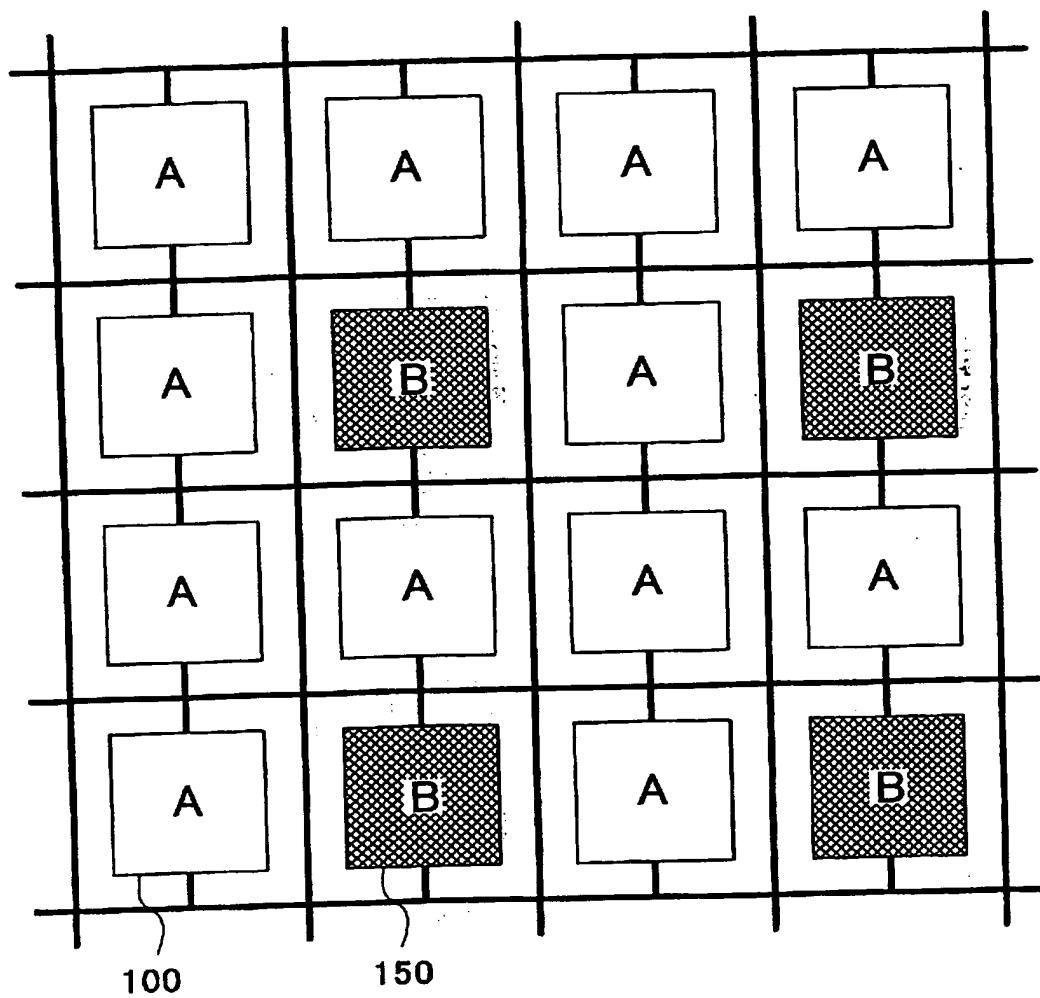
- [1] n ビット(n は自然数)の入出力ポートを有しALU処理を行う複数の第1セルと、 n ビットの入出力ポートを有しビット処理を行う1又は複数の第2セルと、前記各セルを n ビットバスのネットワークで接続するデータ処理装置。
- [2] 前記第2セルは、出力ビット数が n よりも少ない場合、出力に関係無い階位のビットを「0」または「1」に固定する請求項1記載のデータ処理装置。
- [3] 前記第2セルは、 n ビット入力1ビット出力の任意の論理関数を実現する回路と、その出力を n ビットに分配し、分配された n ビット信号に任意のマスクをかける回路とを具備する請求項2記載のデータ処理装置。
- [4] 1つの第1セル内ALUのキャリーアウトと他の1つの第1セル内ALUのキャリーインを接続する請求項1記載のデータ処理装置。
- [5] 第2セルの論理回路を $n+1$ ビット入力1ビット出力の任意の論理関数を実現する回路とし、1つの第1セル内ALUのキャリーアウトを前記第2セルの入力とし、前記第2セルの論理回路の出力を他のAセル内キャリーインに接続する請求項4記載のデータ処理装置。

補正書の請求の範囲

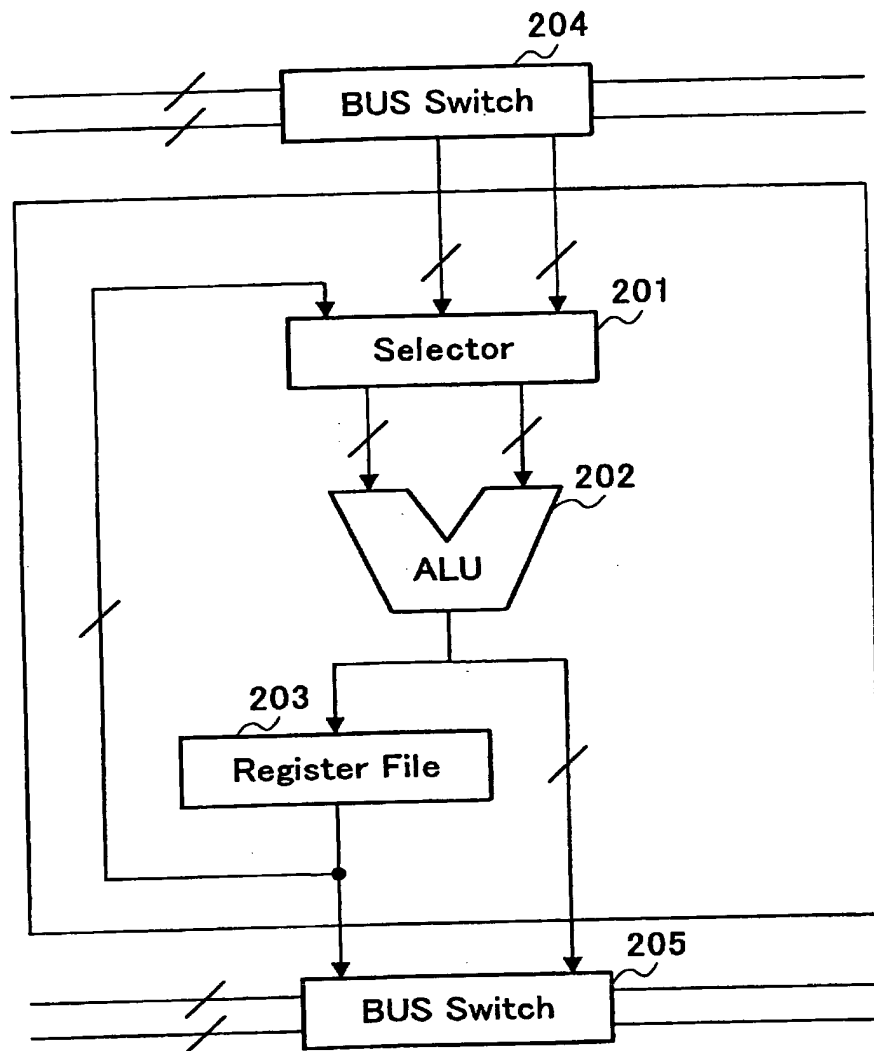
[2005年2月3日 (03.02.05) 国際事務局受理：出願当初の請求の範囲 5 は補正された；
他の請求の範囲は変更なし。]

- [1] n ビット (n は自然数) の入出力ポートを有し ALU 処理を行う複数の第 1 セルと、 n ビットの入出力ポートを有しビット処理を行う 1 又は複数の第 2 セルと、前記各セルを n ビットバスのネットワークで接続するデータ処理装置。
- [2] 前記第 2 セルは、出力ビット数が n よりも少ない場合、出力に関係無い階位のビットを「0」または「1」に固定する請求項 1 記載のデータ処理装置。
- [3] 前記第 2 セルは、 n ビット入力 1 ビット出力の任意の論理関数を実現する回路と、その出力を n ビットに分配し、分配された n ビット信号に任意のマスクをかける回路とを具備する請求項 2 記載のデータ処理装置。
- [4] 1 つの第 1 セル内 ALU のキャリーアウトと他の 1 つの第 1 セル内 ALU のキャリーインを接続する請求項 1 記載のデータ処理装置。
- [5] (補正後) 第 2 セルの論理回路を $n + 1$ ビット入力 1 ビット出力の任意の論理関数を実現する回路とし、1 つの第 1 セル内 ALU のキャリーアウトを前記第 2 セルの入力とし、前記第 2 セルの論理回路の出力を他の第 1 セル内キャリーインに接続する請求項 4 記載のデータ処理装置。

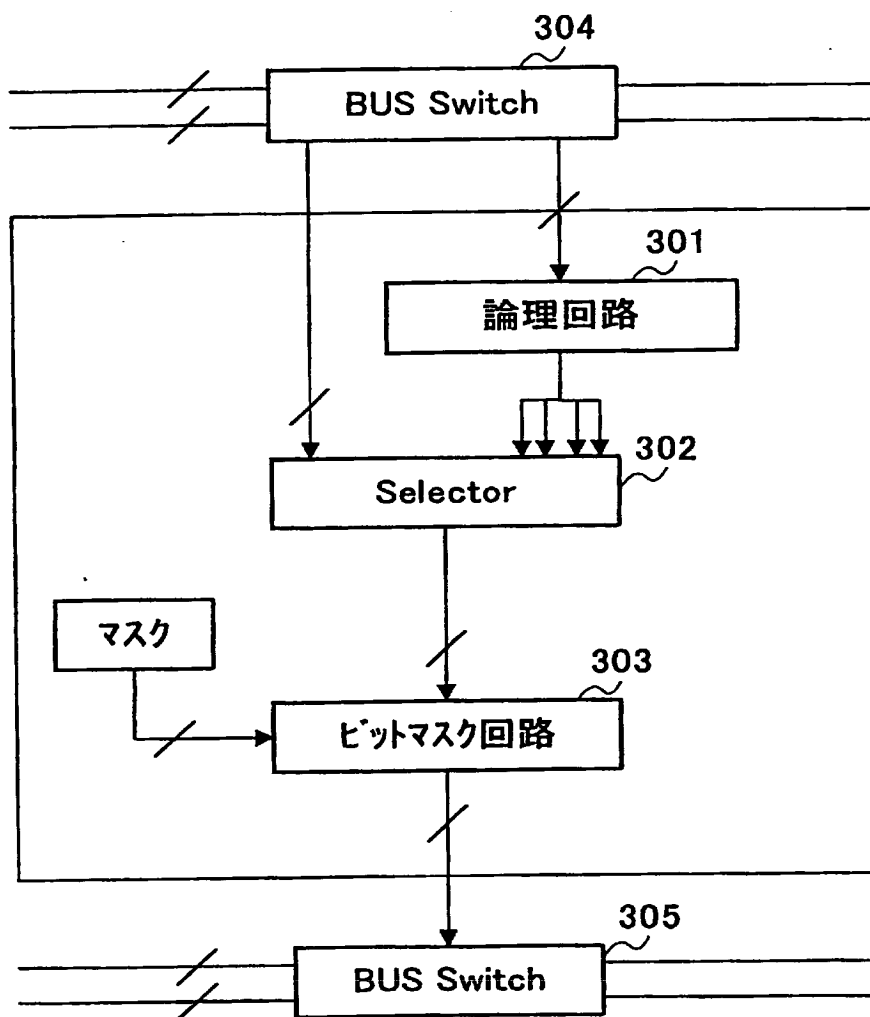
[図1]



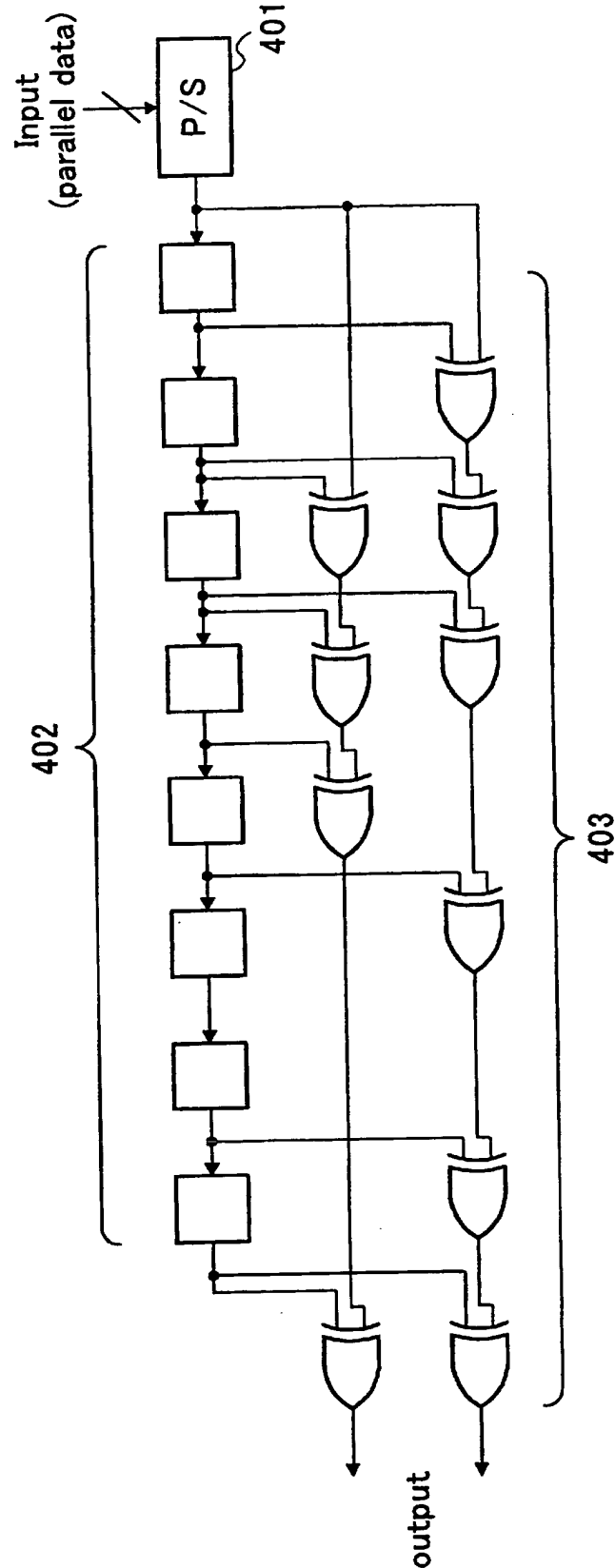
[図2]



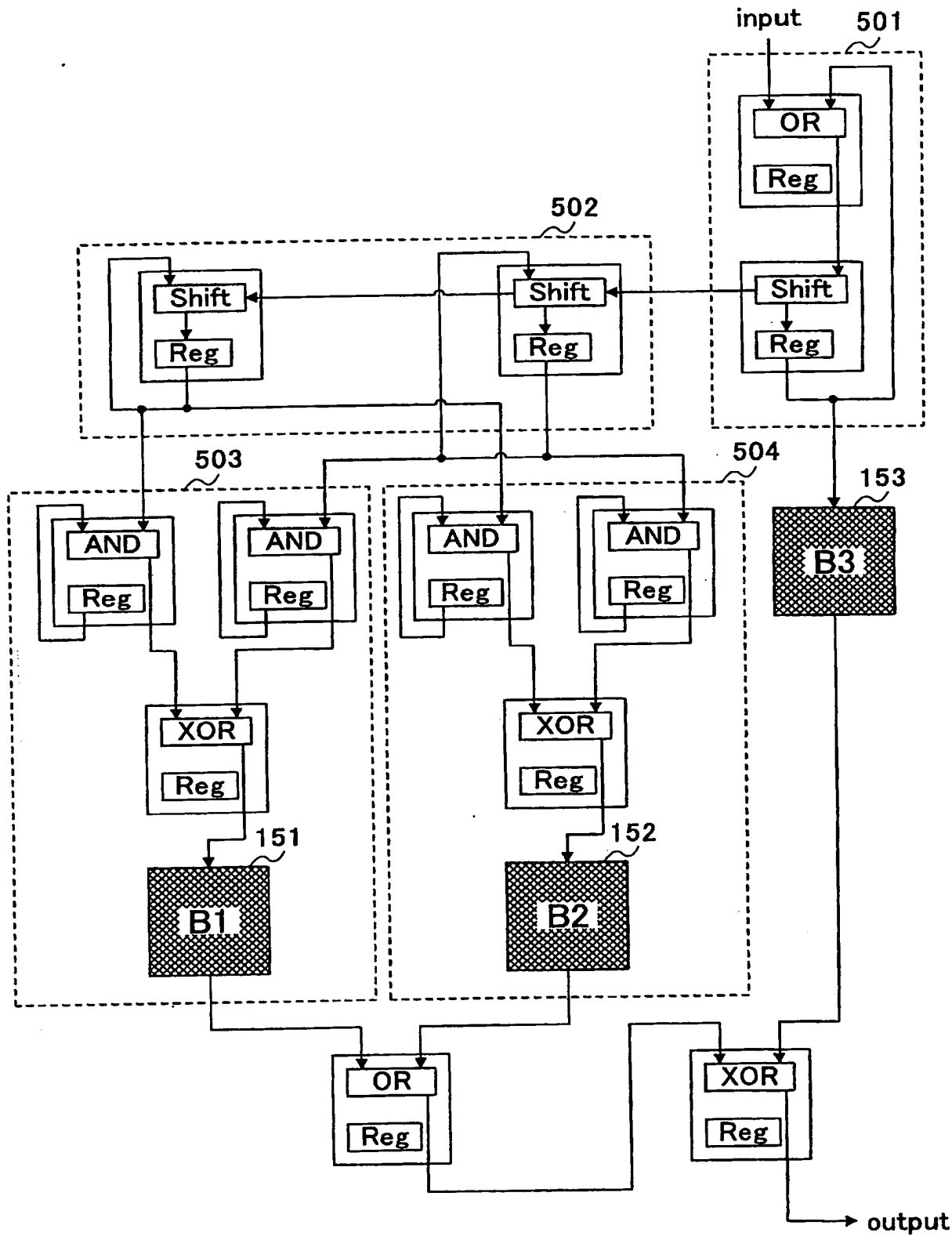
[図3]



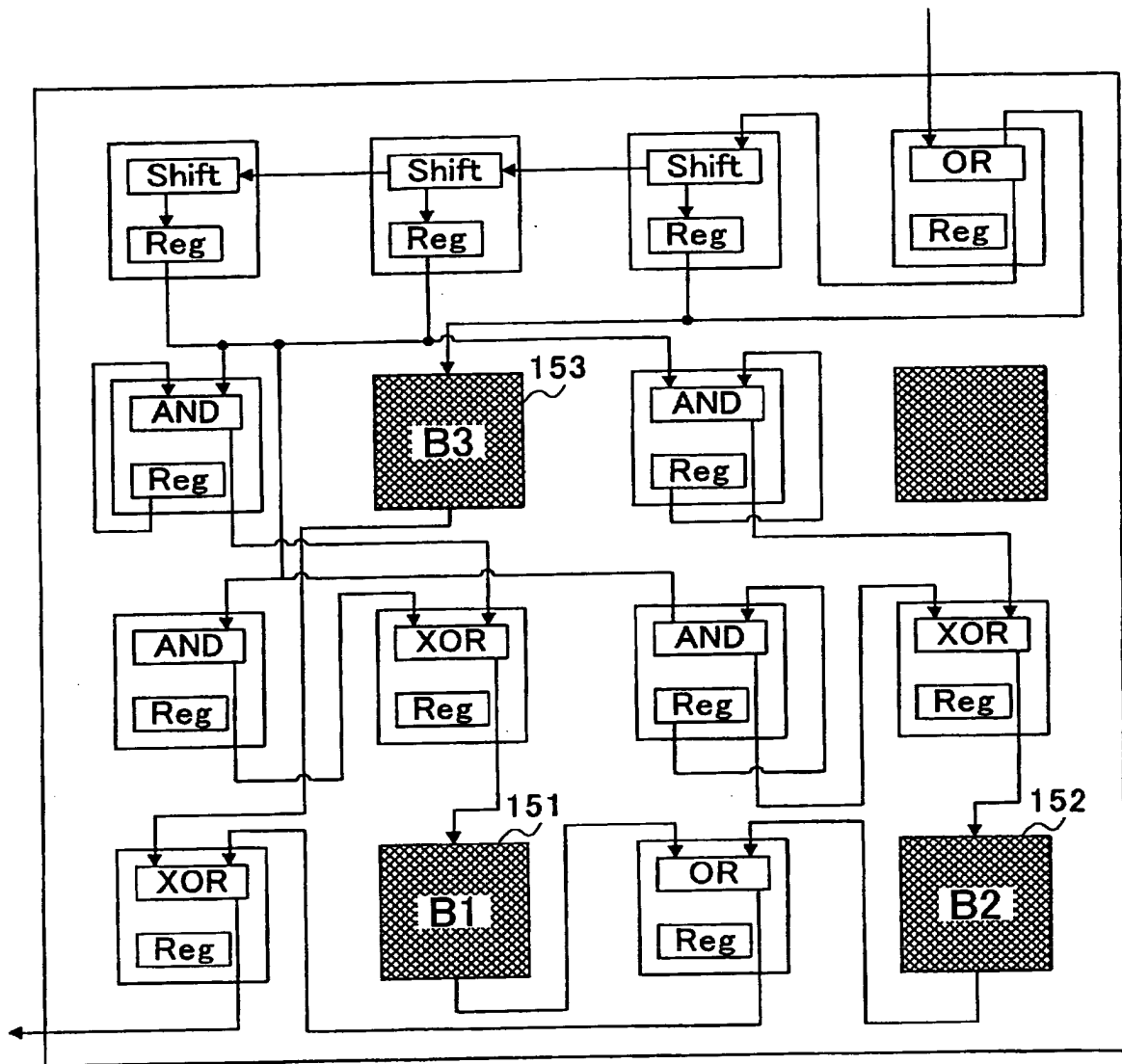
[図4]



[図5]

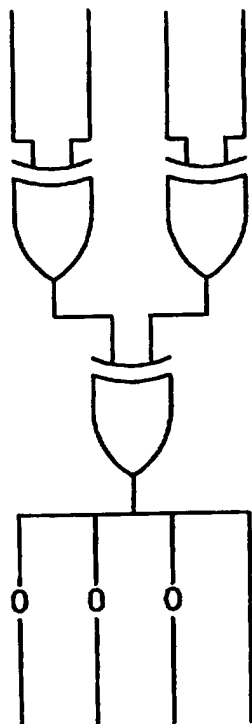


[図6]



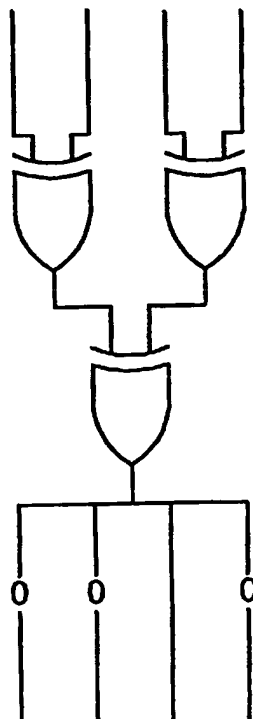
[図7]

151:B1セル

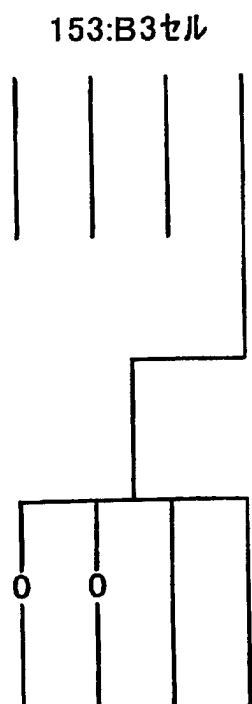


[図8]

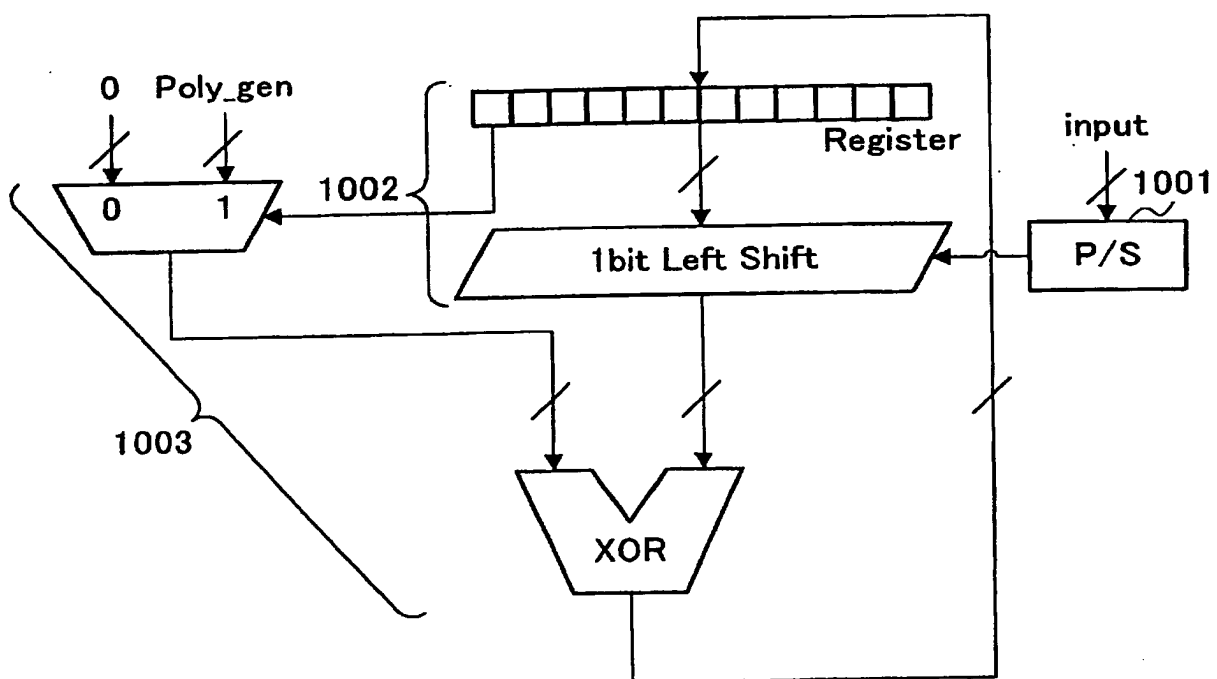
152:B2セル



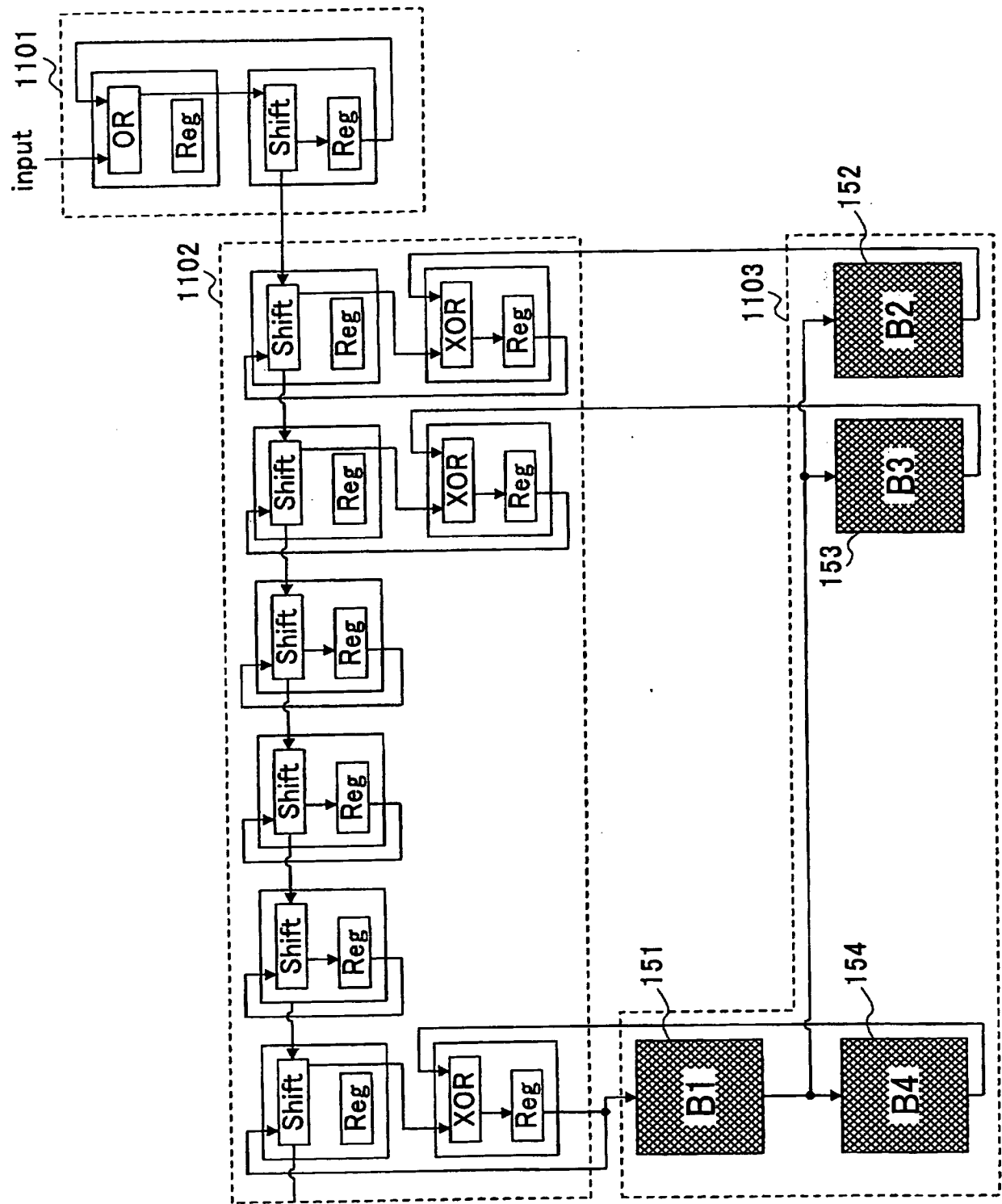
[図9]



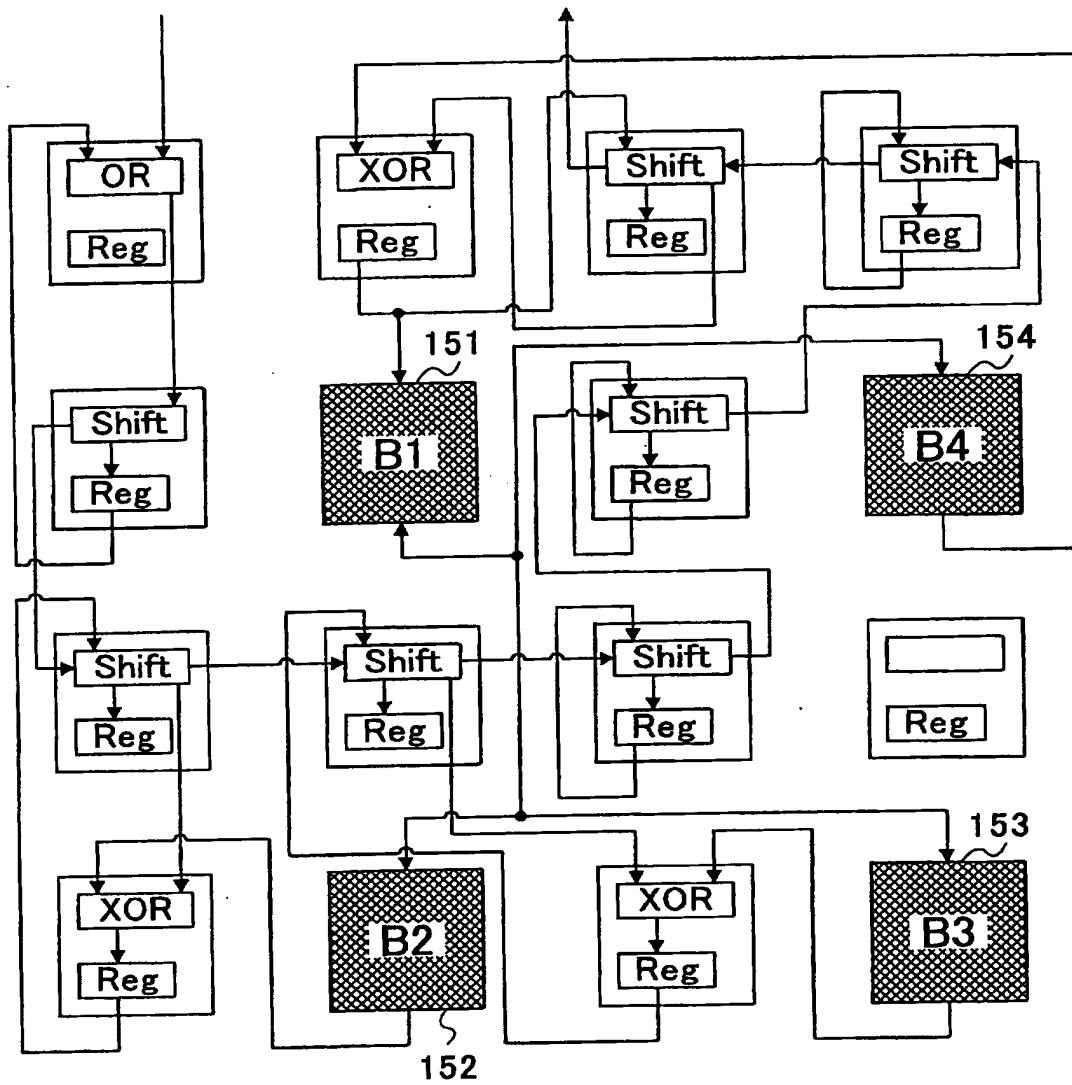
[図10]



[図11]

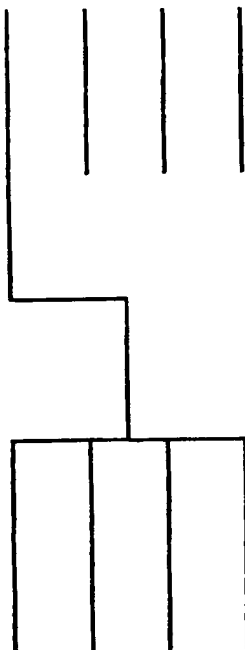


[図12]



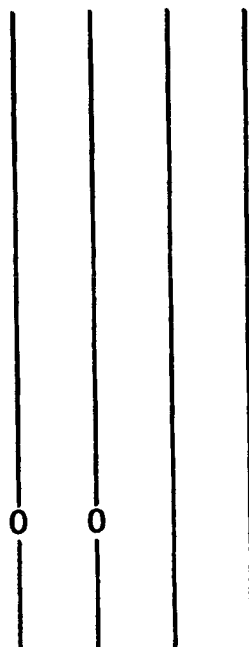
[図13]

151:B1セル



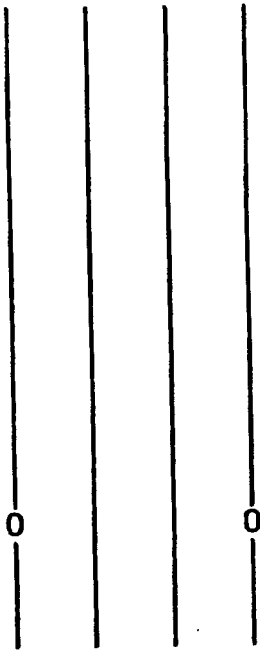
[図14]

152:B2セル



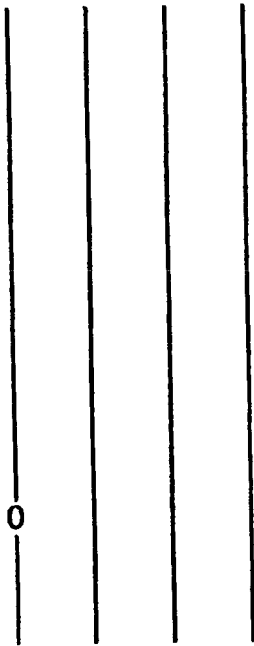
[図15]

153:B3セル

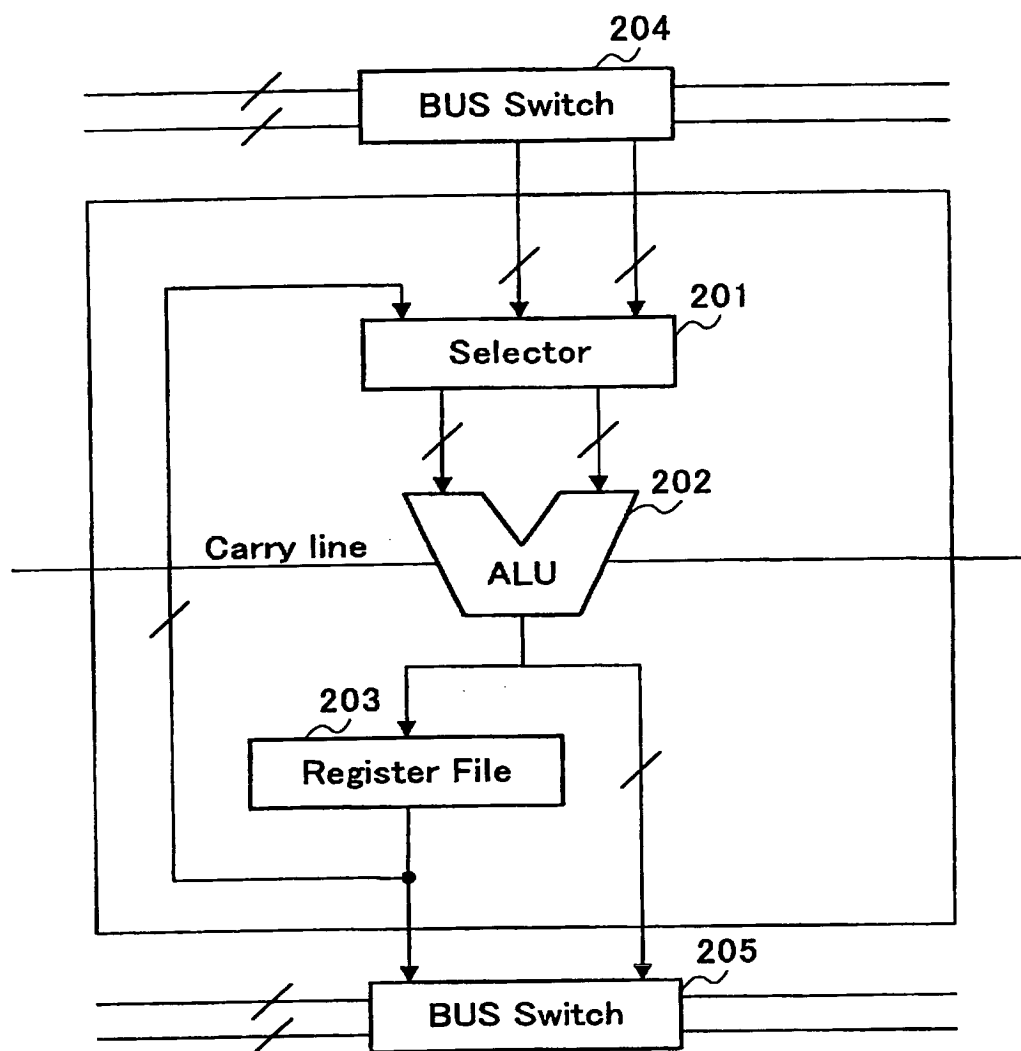


[図16]

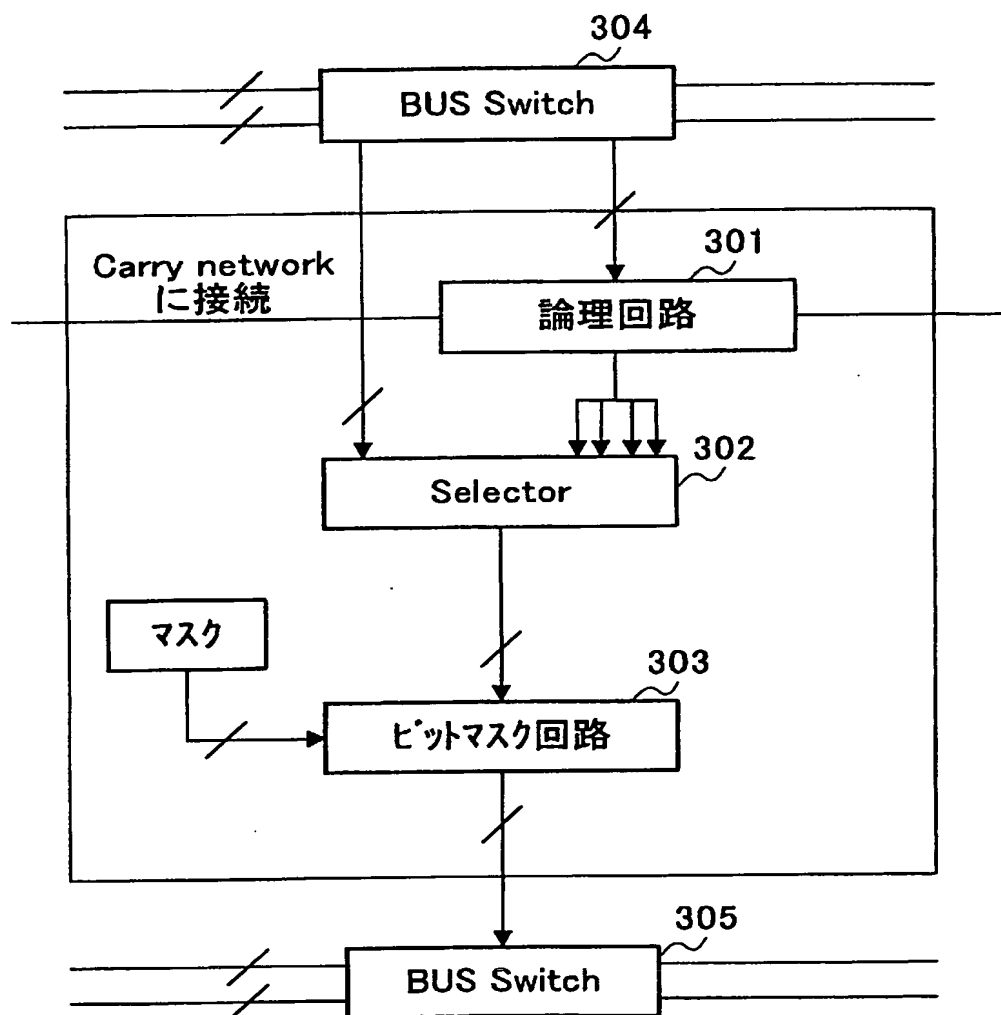
154:B4セル



[図17]



[図18]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/014754

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ G06F7/00

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl⁷ G06F7/00, G06F17/50, H03K19/173

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1922-1996 Toroku Jitsuyo Shinan Koho 1994-2004
Kokai Jitsuyo Shinan Koho 1971-2004 Jitsuyo Shinan Toroku Koho 1996-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	WO 2002/95946 A (IP FLEX INC.), 28 November, 2002 (28.11.02), Page 11, line 32 to page 14, line 39 & US 2003-184339 A1 & EP 1391991 A1	1-4 5
Y	JP 9-292990 A (Nippon Telegraph And Telephone Corp.), 11 November, 1997 (11.11.97), Par. Nos. [0017] to [0033]; Figs. 1, 3 (Family: none)	1-3
A	JP 7-273638 A (Actel Corp.), 20 October, 1995 (20.10.95), Par. Nos. [0014] to [0019] & EP 651514 A2 & US 5448185 A1	1

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
29 November, 2004 (29.11.04)

Date of mailing of the international search report
21 December, 2004 (21.12.04)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl⁷ G06F 7/00

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl⁷ G06F 7/00, G06F17/50, H03K19/173

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年

日本国公開実用新案公報 1971-2004年

日本国登録実用新案公報 1994-2004年

日本国実用新案登録公報 1996-2004年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y A	WO 2002/95946 A (アイピーフレックス株式会社) 2002. 11. 28, 第11頁第32行-第14頁第39行 & US 2003-184339 A1 & EP 139199 1 A1	1-4 5
Y	JP 9-292990 A (日本電信電話株式会社) 1997. 11. 11, 段落0017-0033, 図1, 図3 (ファミリーな し)	1-3
A	JP 7-273638 A (アクテル・コーポレーション) 19 95. 10. 20, 段落0014-0019 & EP 6515 14 A2 & US 5448185 A1	1

☐ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの

「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」 口頭による開示、使用、展示等に言及する文献

「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」 同一パテントファミリー文献

国際調査を完了した日

29. 11. 2004

国際調査報告の発送日

21.12.2004

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

田中 友章

5E

9376

電話番号 03-3581-1101 内線 3520